

報道機関各位

2021年1月8日
株式会社ジードット東京工業大学とのアナログ LSI 自動配線の共同研究について

株式会社ジードット（本社：東京都中央区、社長：松尾和利、以下「ジードット」）は、国立大学法人東京工業大学 工学院 高橋篤司教授と、アナログ LSI 設計における配線の自動化に関する共同研究を開始しました。

アナログ LSI は、実世界とサイバー空間を繋ぐインターフェースのキーデバイスとして活用されるため、デジタルトランスフォーメーションの要と目されていますが、設計期間の長期化が問題となっていて、現状人手に依存する事が多い設計の自動化が課題となっております。

設計の中でも配線の自動化は、一部の配線スペースに余裕がある回路や人手設計が不可能な大規模回路では大いに活用され、設計期間短縮のために必要不可欠な技術として位置付けられています。しかしながら、大半を占める人手設計が可能な中小規模の回路では、自動配線の結果が人手による結果に及ばないことから殆ど活用されておらず、それが全自動化における大きなボトルネックとなっていました。

高橋教授は 1991 年以来、東京工業大学、UCLA、大阪大学において、LSI 設計の自動化に関して、アルゴリズム理論・グラフ理論をベースに研究を続けています。次世代リソグラフィ技術、プリント基板設計やパッケージ設計などで求められる製造容易化・最短・等長・指定長など様々な要求仕様を満たす配線を生成するためのアルゴリズムの開発を、配置設計との連携や全体の設計フローの構築を含めて進めてきました。

アナログ LSI の配線設計では、性能特性を実現するための多くの制約を満足しながら、かつ配線スペースの柔軟な活用により、面積の最小化が求められます。このため、対象が比較的均一で制約が少なく大規模なデータに対して効果を発揮する、デジタル LSI 設計向けの最適化手法を用いても、アナログ LSI の設計では、人手に近い配線結果を出すことができません。

本共同研究では、アナログ LSI の配線設計における課題を実際のデータで詳細に解析し、グラフ理論をベースに様々な制約を満足するアルゴリズムおよび最適化フローを再構築することで、高度な自動化手法を確立し、アナログ LSI の自動配線において人手に近い品質の配線結果を得ることを目指します。

ジードットは、本研究成果を主力製品である半導体設計環境 SX-Meister へ組み込むことで、自動配線機能の大幅な性能・品質向上を目指します。これにより、キーデバイスでもあるアナログ LSI の設計期間を大きく短縮して、デジタルトランスフォーメーションの加速に貢献します。

以上

※本件に関するお問い合わせ先

株式会社ジードット

営業企画部 小野 信任

TEL : 03-6262-8400