

(JE11-EP-20007)

報道機関各位

2020年10月28日
株式会社ジエダット**AIを用いたアナログ回路合成研究開発プロジェクトがA-STEPに採択**

株式会社ジエダット（本社：東京都中央区、社長：松尾 和利、以下「ジエダット」）は、国立研究開発法人科学技術振興機構（JST）の令和2年度研究成果最適展開支援プログラム（A-STEP）産学共同（本格型）に採択されました。

従来、大規模集積回路（LSI）におけるアナログ回路部分の設計は、トランジスタ素子の性能を極限まで利用するため、設計者の経験に依る所が大きく、素子単位で設計・検証が行われてきました。そういったことから、デジタル回路設計と比較して自動化が困難であり設計効率が上がらないため、アナログ要素を含むLSIの設計における品質・コスト・開発期間のボトルネックとなっていました。

この度採択された研究開発プロジェクトでは、ジエダットのセル単位にアナログ回路設計を行う知財と、群馬大学 高井准教授のAIをアナログ回路設計に応用する知財を組み合わせ、これに群馬大学と東京大学のアナログ回路設計での経験・知見を組み込むことにより、AIによる高度なアナログ回路設計自動化環境を世界で初めて実現するものです。

これにより、アナログ回路設計の効率が大幅に向上し、Society5.0を支える技術となるAI/5G/IoT/車載/センサー等の製品の短期開発・コスト削減・多品種少量生産の実現に、大きく貢献するものと確信しております。

課題：AIによる回路トポロジー合成を実現する高度なアナログ回路設計プラットフォームの開発

期間：2020年12月1日～2025年3月31日（4年4ヶ月）

共同研究機関：

群馬大学 理工学府 電子情報部門 准教授 高井 伸和

群馬大学 理工学府 電子情報部門 教授 小林 春夫

群馬大学 理工学府 電子情報部門 助教 桑名 杏奈

東京大学 大学院工学系研究科附属システムデザイン研究センター 准教授 飯塚 哲也

令和2年10月28日 JST

<https://www.jst.go.jp/pr/info/info1464/pdf/info1464.pdf>

■ 株式会社ジエダット（Jedat Inc.）概要

所在地：東京都中央区湊 1-1-12 HSB 鐵砲洲

創業：2004年2月2日

資本金：760,109,810円（2020年3月31日現在）

代表者：代表取締役社長 執行役員 松尾 和利

URL : <http://www.jedat.co.jp>

事業内容 : 半導体や FPD (Flat Panel Display) 向け CAD ソフトウェア (EDA) の研究、開発、
販売およびコンサルテーション

■ 本件に関するお問い合わせ先

- 株式会社ジーダット
営業企画部 小野 信任
TEL : 03-6262-8400

以上