

WHITE PAPER



SX-Meister(PowerVolt)を使用したエレクトロマイグレーション(EM)検証 に関する課題の解決策

稲葉 久人 EDA 開発本部 EDA 技術 1 部 株式会社ジューダット

はじめに

半導体(以降 LSI)の微細化・高集積化が進む中、LSI 上には多層化を利用した膨大な配線経路が形成され、高電流密度な条件で使用されており、更なる高い信頼性を維持していくことが必要になります。 LSI における EM 検証手法の一つとしてレイアウト設計完了後のポストレイアウトシミュレーションによる手法がありますが、本手法は膨大な検証時間を有します。本稿は、SX-Meister (PowerVolt)による高速な簡易 EM 検証方法を解説します。

半導体(LSI)におけるエレクトロマイグレーション(以下 EM)検証の課題

LSI における EM 検証は、一般的に以下のフローで実施します。

- 1) レイアウト完了後 LVS/LPE の実行
- 2) LPE 実行結果(DSPF 等)を利用したポストレイアウトシミュレーションの実行
- 3) ポストレイアウトシミュレーション結果と EM 検証ルールによる EM 検証の実行

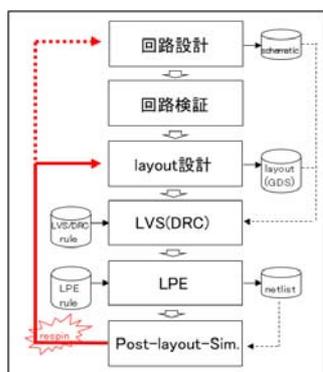


図1 ポストレイアウト Sim.フロー

この中でポストレイアウトシミュレーションは、配線およびホール形状に依存して抽出する寄生素子を含めてシミュレーションを行うため、通常シミュレーションより膨大な実行時間を要します。ポストレイアウトシミュレーションの高速化を目的に寄生素子の縮約機能(リダクション)が有効となりますが、EM 検証を目的としたポストレイアウトシミュレーションは寄生素子の縮約機能は利用できません。EM 検証では寄生素子(寄生抵抗)に流れる電流をターゲットに EM 検証を行う

ため、縮約機能を利用すると検証対象となるレイアウトの配線(ホール)の箇所が不明となるためです。

更に、EM 検証のためのポストレイアウトシミュレーションは、シミュレーションの実行条件となるテストベンチによりレイアウト上の電流経路が変化するため、複数回のシミュレーションが必要となります。

以上の事よりポストレイアウトシミュレーションによる EM 検証手法は膨大な検証時間を要する課題 (TAT 問題) を抱えています。

SX-Meister(PowerVolt)利用による EM 検証問題の解決 [簡易 EM 検証手法の提供]

EM 検証の TAT 問題を解決するために SX-Meister(PowerVolt)を利用し、高速で EM 検証を実施する手法を提供します。

PowerVolt は基本機能として以下の機能を保持しています。

1-1. PowerVolt: 電流(電流密度)解析機能



図2 電圧/電流値指定及び解析実行フォーム



図3 配線の電流密度検証結果(例)

- 1) 配線(検証対象)へ検証ポイントとなるテキストの指定。
- 2) 指定したテキストへ電圧/電流値の指定
- 3) 配線(ホール)に対して寄生素子の抽出 (メッシュ利用による高精度な寄生素子抽出)
- 4) DC 解析により電流分布(電流密度)の検証
- 5) 専用のビューワーによる結果確認 (配線幅毎の閾値指定による Pass/Fail 判定も可能)

1-2. PowerVolt: 論理演算(デバイス定義)機能

PowerVolt はデバイスを含めた検証を行うために論理演算(デバイス定義)の機能を保持します。 このため LVS ルール不要でデバイスを含めた検証が可能となります。

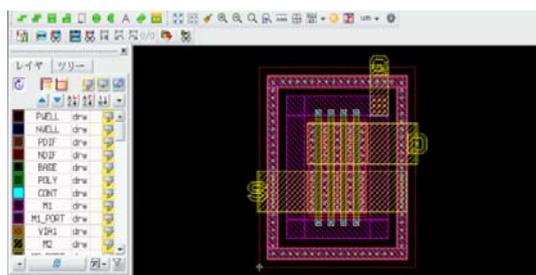


図4 MOS デバイスレイアウト (例)



図5 MOS デバイスの論理演算 (例)

- 1) デバイス認識のための論理演算を定義
- 2) 論理演算で定義したレイヤをもとにデバイスを定義

配線、ホール及びシミュレーションで利用する SPICE モデル等についても、同様に定義が可能です。

簡易 EM 検証手法の提供

簡易 EM 検証手法は、検証対象の配線を個別に検証を実施します。検証対象のレイアウトがチップレベルであれば、各 PAD(テキスト)単位に EM 検証を行います。ブロックレベルの場合は、ブロックの接続ポイントとなる端子をターゲットに検証が可能となります。EM 検証は DC 解析で実施します。

2-1. EM 検証のための電流源(値)設定手法

1-1 項に述べた通り、PowerVolt は検証対象の配線に対しテキストを付加する事で EM 検証に必要となる電流源が指定可能となります。ここで電流源の指定が必要となるポイントはデバイスと接続する箇所です。EM 検証対象の配線を考えた場合、PAD を起点にデバイス接続ポイントは多数存在するため、ユーザーが人手でレイアウトデータ上にテキストを付加するのは困難となります。そこで 1-2 項で述べた論理演算機能を利用し、デバイス接続ポイントに EM 検証のためのダミーデバイス(2 端子デバイス)を設定して、ダミーデバイスへ電流源を指定します。本手法でユーザーが人手でテキストを付加する作業を防ぎます。

ダミーデバイスへ指定する電流値は、ユーザーが任意に指定する事が可能です。

1) ダミーデバイスの設定方法 (例)

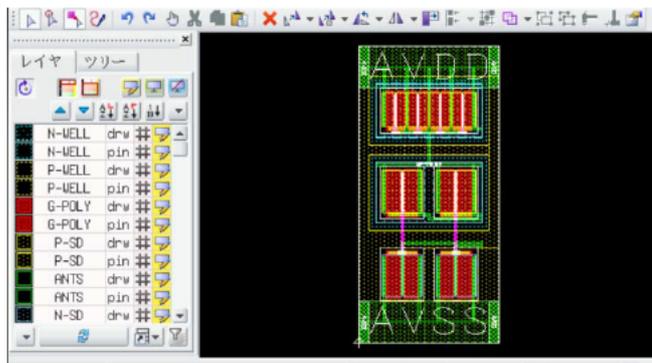


図 6 MOS デバイスのレイアウト (例)

図 6 のレイアウトを例にします。AVDD / AVSS がそれぞれ PMOS, NMOS へ接続しています。

MOS デバイスの接続ポイントは拡散部分の Source / Drain です。ダミーデバイスは Source / Drain の接続部分へ設定します。



図 7 dummy デバイス設定の論理演算 (例)

PMOS, NMOS の Source/Drain をそれぞれ定義します。

Source/Drain で出力したレイヤを dummy デバイス認識用のレイヤとして定義します。



論理演算で定義した dummy デバイスのレイヤを DIODE として定義します。これで MOS デバイスの拡散部分(Source/Drain)をそれぞれ DIODE として認識します。

図 8 dummy デバイス(DIODE)設定の指定 (例)

2) EM 検証のための電流源(値)指定 (例)

dummy デバイスとして設定した DIODE デバイスへ電流源(値)を指定します。

電流値は任意の値で指定が可能です。



図 9 は DIODE デバイスへ電流値を指定した例です。

MOS デバイスの拡散面積に応じた電流値を指定するために計算式を利用した例です。

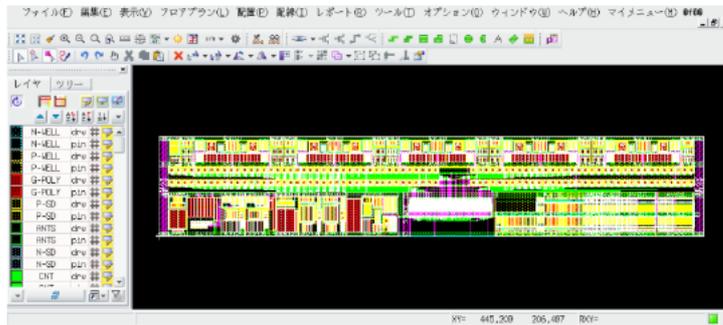
これにより MOS デバイスのサイズに応じた電流を指定する事が可能となります。

固定値の電流を直接指定する事も可能です。

図 9 ダミーデバイスへの電流値指定 (例)

以上の手法により、EM 検証対象の配線に対して接続するデバイスを電流源(値)に置き換える事で、高速に EM 検証を可能とします。

簡易 EM 検証の実行 (例)



本手法を利用した EM 検証結果(例)を以下に示します。

図 10 は 120um*650um メタル 4 層のレイアウトです。

本データの電源/GND 配線に対して EM 検証を実施した例です。

図 10 フィルター回路 (レイアウト)

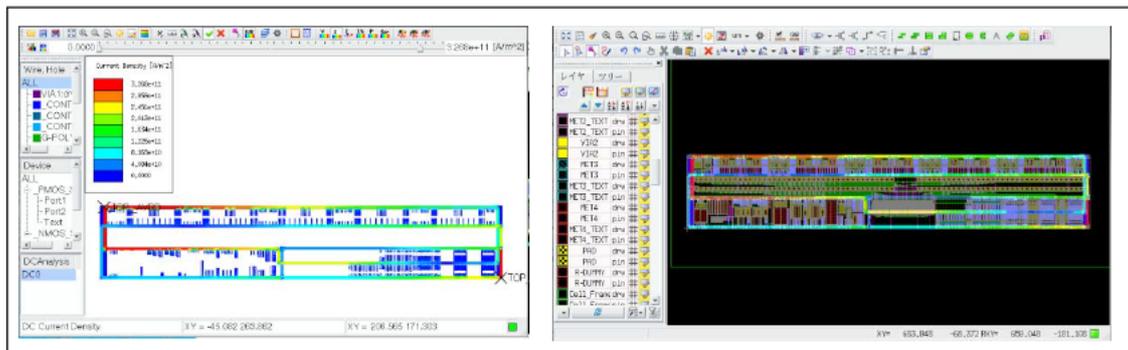


図 11 EM 検証結果 (例)

検証結果はログファイル(テキストファイル)と図 1 1 に示したビューアで確認が可能です。ログファイルには各配線層の幅(W)毎に閾値を指定した場合、Pass/Fail 判定結果が出力されます。

図 1 1 の左図は専用のビューアでカラーマップ表示した結果で、電流集中箇所を視覚的に確認する事が可能です。

図 1 1 の右図はレイアウトのデータ上に、カラーマップを重ねて表示した結果の例です。

まとめ

半導体(LSI)の設計において、設計工程の後半に行われるポストレイアウトシミュレーションを利用した EM 検証は長時間を要します。仮に本検証で不具合が見つかった場合はレイアウト修正等のフィードバックが発生し開発の遅延につながります。

株式会社ジーダットの **SX-Meister(PowerVolt)**は、本問題を解決するために電流(電流密度)解析及び論理演算(デバイス定義)機能を利用して、レイアウト途中であっても簡易 EM 検証を短 TAT で高精度に実行できる有効なツールです。