

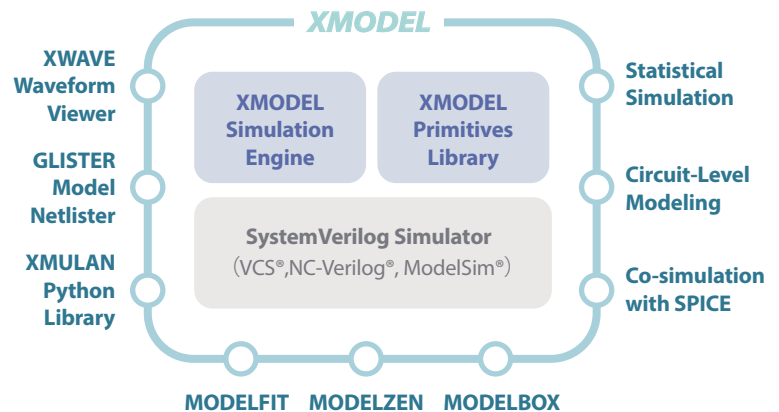
XMODEL

SystemVerilog 設計・検証環境

アナログ回路のVerilog モデルを生成

SystemVerilog シミュレータで
アナログ回路をシミュレーション可能

ミックスドシグナル回路・チップ全体の
設計・検証を高速化



製品構成

- XMODEL コアシミュレータ: Verilogシミュレータ上で、XMODELのSystemVerilogモデルを用いたシミュレーションを実行するエンジン
- GLISTER: XMODELをVirtuoso®上で実行するための回路図生成・シミュレーション統合環境
- MODELZEN: 回路図からSystemVerilogで動作するモデルを生成するツール

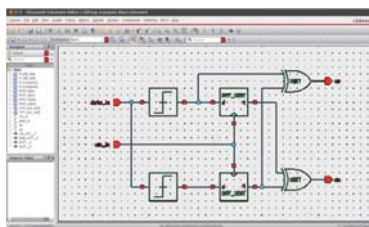
特徴

- 回路応答特性を関数記述として、連続的な 波形を表現
- イベントドリブンシミュレーションによる高速化

対応SystemVerilog シミュレータ

- VCS®
- NC-Verilog®
- ModelSim®

全体構成



```
module sc_converter(
  input xreal in,
  output xreal out,
  input xbit ck, ckb
);
  xreal n1, n2;
  switch sw1(.pos(in), .neg(n1), .ctrl(ck));
  switch sw2(.pos(n1), .neg(out), .ctrl(ckb));
  switch sw3(.pos(n2), .neg(out), .ctrl(ck));
  switch sw4(.pos(n2), .neg('ground), .ctrl(ckb));
  capacitor #(.C(1e-12)) C1(.pos(n1), .neg(n2));
  capacitor #(.C(1e-12)) C2(.pos(n2), .neg('ground));
endmodule
```

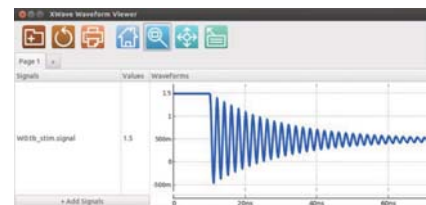
XMODEL
Primitives



SystemVerilog
Simulator
(VCS, Questa,
NC-Verilog)

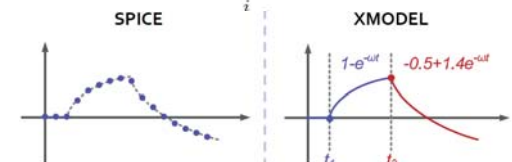


XMODEL
Event-Driven
Simulation Engine



```
#
# 11111111111111111111 (CM)
#
# ANALOG/MIXED-SIGNAL SIMULATOR
#
# XMODEL Development Base
# Copyright (c) 2010-2015 Scientific Analog, Inc.
# All rights reserved and patents pending.
#
# ILM-X feature 'XMODEL' has been successfully checked out.
# ILMX: Version: 2.0 (full)
# ILMX: Expiration: 2016-05-31 23:59
# ILMX: License type: local
#
# WROG0 : A=0000, B=0000, S=0000, C=0
# CORRECT: A=0100, B=1101, S=0001, C=1
# CORRECT: A=1101, B=0110, S=0011, C=1
# CORRECT: A=0011, B=0110, S=1001, C=0
# CORRECT: A=1011, B=1110, S=1001, C=1
# CORRECT: A=1110, B=0001, S=1111, C=0
# CORRECT: A=0001, B=1000, S=1001, C=0
# CORRECT: A=0010, B=1001, S=1011, C=0
```

$$x(t) = \sum_i c_i t^{m_i} e^{-a_i t}$$



設計のさまざまな局面で適用可能

■ Top-Down ツールとして : 高速のAnalog/Mixed Signal 機能シミュレーションが可能

- 例 : 高速リンクシステムのBER 特性設計 (クロッキング、等化方式をパラメータに)
- SPICEやVerilog-AMS よりも高速
- 検証済みのデジタル回路が適用可能

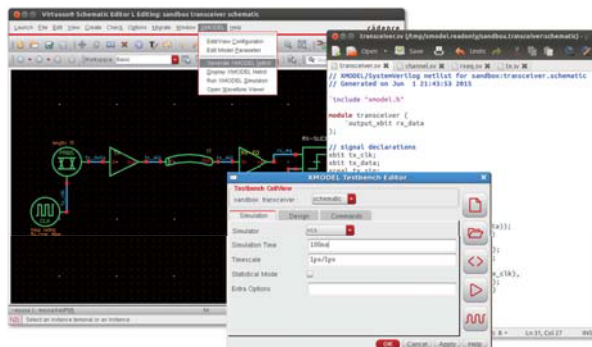
■ Bottom-Up ツールとして : アナログ回路のモデルを容易に記述/生成可能

- 豊富なPrimitiveを用いてアナログ回路の機能モデルを記述
- Circuit-level modeling (CLM) により回路図ベースのモデルを作成
- MODELZENなどを活用して機能モデルのチューニング、回路図ベースのモデル抽出が可能

■ Sign-Off ツールとして : アナログ/デジタル混載大規模システムのチップレベル検証が可能

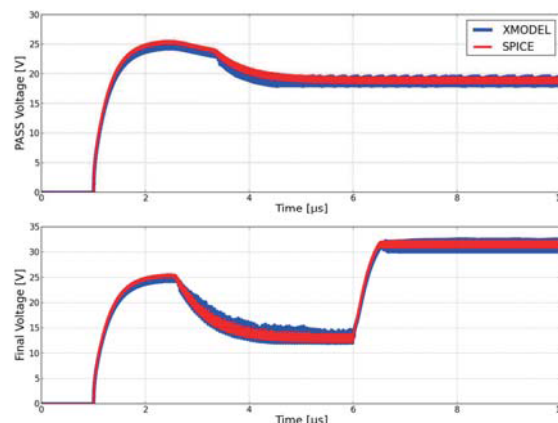
- 例 : 高速I/O 搭載プロセッサ、高電圧チャージポンプ搭載NANDフラッシュメモリなど
- Verilog-AMSやReal-Number Verilog の10~100倍の高速シミュレーションが可能
- SystemVerilogによるデジタル設計フローに完全準拠

GLISTER を用いたVirtuoso との統合設計環境



回路設計への適用例 (SPICE シミュレーションとの速度比較)

- カスケード接続したチャージポンプのスタートアップ/セトリング動作シミュレーション (Transient解析)
- シミュレーション時間 : SPICE : 11.7 min.
XMODEL : 31.68 sec. (22.2X 高速化)



● 詳しい説明が必要な方は、下記JEDAT営業本部までお問い合わせ下さい。

※このカタログは予告なく変更されることがありますのでご了承下さい。

<開発元>

scientific analog**Scientific Analog, Inc.**<http://www.scianalog.com/>

<販売代理店>

<http://www.jedat.co.jp>**株式会社ジードット**

〒104-0043 東京都中央区湊1-1-12

HSB鐵砲洲 電話: 03-6262-8401

〒532-0003 大阪府大阪市淀川区宮原4-3-12

新大阪明幸ビル 電話: 06-6150-0930